# 主要な技術課題 (GRAND CHALLENGES)

## 短期予測(2013 年まで)と長期予測(2014 年以降)

### 概要(Overview)

ITRS 2003 年版では、ムーアの法則に則った微細化ベースが鈍化し 3 年/サイクル【訳者注:集積回路内で使われる微細パターンの寸法が 0.7 倍になるのに必要な時間を1サイクルと定義している】になると予想していたが、ITRS 2005 年版では、半導体産業会の継続的な研究開発の成果により、微細化の再加速と多様化が進むと予想している。フラッシュメモリの微細化は 2006 年までは 2 年/サイクルで微細化が進むし、MPU は2010年までは2.5年/サイクルで微細化が進む。DRAMの微細化ペースは3年/サイクルである。【訳者注:DRAM の微細化ペースは、ITRS 2003 年版と同じである。】［微細化のペースがそれぞれに異なるため、］技術ノードという言葉では、もはや、技術を明確に定義することができない。PIDS(Process Integration, Devices, and Structures, プロセスインテグレーション、素子、構造)の章では、MOSFET(MOS 型電界効果トランジスタ)の性能を向上させるためには複数の選択肢があり、この状況をパラレルパス(Parallel Path)と呼んでいる。MOSFET の構造としては、平面型の従来のＭＯＳＦＥＴのほかに、ＦＤ－ＳＯＩ(Fully Depleted Silicon on Insulator、SOI基板上の完全空乏型)の MOSFET、Fin－FET が候補となっている。

各 ITWG(International Technology Working Group)は「困難な技術課題」として表の形にまとめている。本節では、技術課題のうちの主要なものを選んで、「主要な技術課題(Grand Challenges)」としてまとめたものである。本章は、読者が主要技術課題の全体像を把握する一助となることを意図している。本節では、取り上げられなかった重要な技術課題が多くあることをお断りしておきたい。ITRS は、先端的なマイクロエレクトロニクス技術に対して、［ITRS の記述にとらわれて硬直的な研究開発を行うことなく、］創造的で柔軟なアプローチが重要であることを強調したい。

これらの主要な技術課題を、性能向上と低コスト生産という、二種類の観点から分類した。さらに、短期的(2005 年から 2013 年)と長期的(20140 年から 2020 年)な時間軸に分けて述べる。

## 短期予測 (2013 年まで)

### 性能向上

#### *ハーフピッチ 32NM への微細化 [PROCESS INTEGRATION, DEVICES, AND STRUCTURES]*

プレーナバルク CMOS の微細化は大きなチャレンジである。短チャネル効果の抑制のために必要な高チャネル濃度は、キャリア移動度の劣化をとおしてドレイン電流を低下させ、また、バンド間トンネル電流と GIDL(Gate Induced Drain Leakage)を増加させる。さらに、チャネル不純物の統計的なゆらぎは、しきい値のばらつきを増大させ、電源電圧がスケーリングされていく中、回路設計を困難にしている。極薄完全空乏化型(FD-SOI)MOSFET やマルチゲートMOSFET(例えば、FinFET)のような、新しい構造の実用化が期待されている。しかし、この実用化には多くの新しい困難な課題があるために、非常に難しい。特に難しい点は、SOI 膜厚のばらつきを含めた制御である。これらの課題の解決策を、特に消費電力制御における回路設計、アーキテクチャの革新技術と連携して見出していくことが必要である。

### *信号分離 [RADIO FREQUENCY AND ANALOG/MIXED-SIGNAL TECHNOLOGIES FOR WIRELESS COMMUNICATIONS]*

信号分離、特にデジタル部とアナログ部間における信号分離は、縮小技術と増大する集積化技術の複雑性にとって大きな課題である。電源や接地や基板を介してノイズカップリングが起こってくる可能性がある。デバイスサイズと電源電圧のスケーリングにともない、アナログと高性能デジタル機能をチップ上に集積する困難さは、ますます増大してくる。信号分離こそ、高性能アナログ回路と高度に複雑化したデジタル信号処理機能を同じチップや基板に同時に集積する鍵になる。こうした同時集積は、多くの最新の通信システムにおいて、サイズや電力やコストを低減する為に求められている。

### *高性能・低コストの RF/アナログ混載 [RADIO FREQUENCY AND ANALOG/MIXED-SIGNAL TECHNOLOGIES FOR WIRELESS COMMUNICATIONS]*

LSTP(Low standby power )デバイスでは、性能と集積性の向上を維持するため、材料や構造を根本的に変えることが求められている。高誘電率ゲート絶縁膜や、チャネル歪やメタルゲートによる混載構造といった新材料の導入は、閾値や電流のミスマッチや 1/f ノイズ特性を不確かなものにしてしまう。ダブルゲートや完全空乏化 SOI デバイスといったノンクラシカル CMOS の電気特性は従来 CMOS と基本的に異なったものである。この違いは回路設計者にとって克服すべき障害となると同時に有益な面も与えてくれる。そこで、従来の高精度アナログ・RF ドライバー素子や抵抗素子および可変容量は、チップコストの増大を招く追加の工程を必要とすることになるだろう。さらに、アナログの電源電圧を引き続き低下させてゆくことは、重大な回路設計上の課題を引き起こすことになる。

### *新規ゲートスタックプロセスおよびその材料 [PROCESS INTEGRATION, DEVICES, AND STRUCTURES AND FRONT END PROCESSES]*

CV/I の改善要求によってゲート絶縁膜の電気的酸化膜換算膜厚はますます薄くなっている。酸化膜換算膜厚(EOT)の薄膜化は将来のデバイススケーリングに対する最も困難な挑戦として浮上してきた。継続的に酸窒化ゲート絶縁膜を最適化していくこと、そして EOT<1nm に向けてデバイスの信頼性を維持しつつこの材料をスケーリングしていくことがハイパフォーマンス（HP） MPU 用途に対しては予想されている。しかしながら、酸窒化膜では低消費電力用途（LOP と LSTP）における厳しいリーク電流低減の要求をもはや満たすことはできないだろう。従って、トンネル電流を抑制しながらドレイン電流を維持可能な高誘電率(High-k)材料の導入が必要となってくる。いずれの場合にも、ゲート電極材料とそのプロセスは、ゲート電極中の空乏層幅を最小にしボロンの拡散を抑制するように最適化されなければならない。前者は、従来のポリシリコンゲートが機能しなくなった後に、適当な仕事関数を有する金属ゲートが必要となることを意味している。これら材料の変更は MOSFET 技術に大きな挑戦を課している。これは、二酸化シリコン膜/ポリシリコンの系が最も信頼度の高いゲートスタックとして長い期間中心的な役割を果たしてきたからであり、さらには新しい High-k や金属ゲートスタックが完全空乏 SOI やマルチゲート MOSFET のような将来の新構造 CMOS にも使えると期待される基本的な構造だからである。

### *新規メモリ材料とCMOS プロセスの統合 [FRONT END PROCESSES]*

DRAM を単純にスケーリングすると、ストレージ用キャパシタの占有面積がどんどん小さくなってしまうが、信頼性のあるメモリ保持性能を維持するには、キャパシタンス値が 25－35 fF を下回らないことが必要となる。そのため、例えば酸化アルミニウム、アルミネート（例えば HfAlOx）、タンタル酸化膜などの高誘電体(High-k)材料の導入が、メモリ構造の 3 次元化とともになされてきた。キャパシタが薄くなることに伴う問題を避けるため、キャパシタ構造は、メタル-絶縁膜-シリコン(MIS)構造から、メタル-絶縁膜-メタル(MIM)構造に移りつつある。しかしながら更なるスケーリングのためには、より薄い絶縁膜、またはより高い誘電率の材料（あるいは高い誘電

率の薄い膜)を使うことのできるプロセスの構築が必要となる。
これに対してフラッシュ・メモリ・デバイスの場合にはスケーリングを継続的に進めつつ、書込み電圧を下げるには、より薄いインターポリ絶縁膜とトンネル酸化膜の使用が必要となる。トンネル酸化膜は保持特性を確保するために十分厚くなければならないが、書き込み／消去を容易にするには十分薄くなければならない。インターポリ絶縁膜は保持特性を確保するために十分厚くなければならないが、ほぼ一定のカップリング比を保つためには十分薄くなければならない。この困難なトレードオフの問題がスケーリングを妨げるが、このことはフラッシュメモリにも High-k 材料や 3D 構造の導入が必要であることを示唆している。FeRAM に用いられる強誘電体材料のスケーリングの問題とともに、このような材料や 3D キャパシタ構造をプロセスに統合することは、メモリを応用する開発に於いて、今後も主要な課題を提供し続けるであろう。

### *液浸リソグラフィ [LITHOGRAPHY]*

液浸技術は光リソグラフィを 32nm ハーフピッチまで延命できる可能性を示し、ArF(ドライ)リソグラフィの後継となり、ArF(ドライ)リソグラフィの後継を狙っていた他の技術を脇に追いやった。必要な時期に液浸リソグラフィを量産で使用出来るようにするために液浸技術の成熟は必須である。液浸リソグラフィに特有の泡を含む欠陥とパーティクル発生の制御は大きな課題であり、液浸用レジストとトップコートの性能向上が早急に求められている。現状の ArF リソグラフィで求められているレジスト性能、例えば LER や SEM 測長時の線幅変化や欠陥サイズ等々、液浸の導入時にはより小さな線幅で今よりも難しい要求を満たす必要が有る。更に 32nm ハーフピッチまで液浸技術を延命するためには高屈折率レジスト、高屈折率液浸液とリサイクルシステム、更に高屈折率レンズ材料の開発が必要となる。

### *EUVL: 極端紫外リソグラフィ [LITHOGRAPHY]*

液浸技術は光リソグラフィを 32nm ハーフピッチまで延命できる可能性を示したが、これ以降のリソグラフィに関しては意見が分かれる。光リソグラフィ以降のリソグラフィ候補として、極端紫外リソグラフィ(EUVL)、マスクレスリソグラフィ(ML2)とインプリント技術が上げられている。EUVL は他の候補技術よりも顕著に処理速度が速く、更に45nmから16nmハーフピッチまでのリソグラフィに対応できる可能性を持つ。必要な時期にEUVLを量産に導入出来るようにするためには技術と経済性を同時に満足する真の解決法が必要な多くの課題がある。これらの課題は、マスク基板の欠陥、光源、レジスト、光学性能、光学系の汚染、ペリクル無しでのマスク保護等々である。

### *線幅制御と $L_{EFF}$ 制御 [FRONT END PROCESSES, LITHOGRAPHY AND PROCESS INTEGRATION, DEVICES, AND STRUCTURES]*

ゲート長の急激な微細化により、線幅(CD)の制御はリゾグラフィとエッチングで最も難しい課題の 1 つとなっている。特に、有効ゲート長(Leff)の寸法を微細化するのに一般的に使用されるレジストの側壁形状の制御とスリミングが寸法制御を更に難しくしている。ゲート長が許容する 3σ のばらつきは、リゾグラフィとエッチングにより共有され最適な割合で両者に分配されているが、許容量は両者の技術的限界に近づいている。更に、リソグラフィとエッチングで最適な制御を行っても、ゲート材料、レジスト材料、およびエッチングケミストリに起因する LER(Line Edge Roughness)を抑えることが難しくなっている。また、線幅制御と LER の計測は測定精度と効率向上の面から、計測技術の新たな課題となっている。ソース・ドレイン間のオフ電流はLERにより影響されるかもしれないので、デバイス特性に与える LER の効果を理解した上で、LER 制御の目標値を設定すべきである。さらには、新規のゲート材料とノンプレーナトランジスタ構造の導入は、選択エッチングプロセスと、制御された側壁形状での異方性の改善へのさらなる挑戦を必要とする。

### *高い導電率と低い誘電率の要求を満足する新材料の導入 [INTERCONNECT]*

信号の伝播遅延と消費電力を最小化するため、低抵抗配線材料と低誘電率材料の同時開発が極めて重要である。低誘電率材料は、機械的化学研磨平坦化（CMP）、エッチング/アッシング/ウェット洗浄、実装など過酷なインテグレーションプロセスに耐えられる、充分な機械的/化学的/熱的耐性を有する必要がある。微細な銅配線は、線幅が 100nm 以下になると、銅とバリアメタルとの界面および結晶粒界での電子散乱により抵抗率が増加し、ハーフピッチ 65 nm 世代（量産年 2007 年頃）以降、徐々にその回路特性への影響が深刻になるため、ハーフピッチ 32nm 世代(量産年 2013 年頃)には注意を払うべきである。細幅 Cu 配線で高い導電率を得るため、Low-k 材料に効果のある染み込み防止膜“ポアシール”はもとより、極薄で低抵抗なバリアメタルの構築を含めた“バリア エンジニアリング”が重要である。

### *量産性のある多層配線構造 [INTERCONNECT]*

配線での新材料と新プロセス技術の導入はそれらの組み合わせや相互作用で新たな懸案が生じている。界面密着性、汚染、拡散、リーク電流などがあげられる。 CMP やエッチング/アッシング/ウェットプロセスによる機械的、化学的な損傷に関与するこれらの懸念事項を解決しなければいけない。また多層配線構造の複雑さにより実効誘電率は低誘電率材料の本来の値からはずれている。低誘電率材料を用いた銅配線の故障メカニズムに関しても故障部検知、予想モデルと一緒に明確化する必要がある。実装に関しては、配線/実装のアーキテクチャデザインの最適化不足が、システムとしての配線最適化を困難にしている。

### *全体的な消費電力の管理 [DESIGN]*

配線材料やパッケージ技術のロードマップとともに、プレーナ CMOS の理想的でないスケーリングが、電力管理や電流供給に関連したばらつきの課題を提示している。第一に、ORTC とシステムドライバ章の推定によれば、高性能 MPU の消費電力は、250 W/cm$^2$を超えて許される電流密度と平行してアセンブリ＆パッケージング章で確立された高性能用シングルチップパッケージの電力限界を著しく超えている。SOC-Power Efficient(PE) ドライバは、論理規模（大規模なマルチプロセッシングにおいても）とスループットが指数関数的に増大し続けても消費電力が一定かほぼ一定であることを要求している。設計技術はシステムドライバ章で繰り返し述べられている電力管理のギャップに対応していかなければならない。さらに、電流密度の増大は信頼性や性能におけるサーマルインパクトを悪化させる。一方で、供給電圧の低下はスイッチング電流やノイズを悪化させる。これらの傾向が、オンチップの接続リソース（例えば、バンプの数やパッシベーション開口サイズといったアセンブリ＆パッケージングのロードマップの観点からの IR ドロップの制御）や ATE(automatic test equipment)の制約、バーンインのパラダイムにストレスをあたえる。HP, LOP, LSTP の統合には、様々なレベルの自由度（multi-$V_t$, multi-$T_{ox}$, multi-$V_{dd}$ とか、コアの中とか外とか）を同時に活用できるような電力最適化が必要である。さらには、アーキテクチャ、OS、アプリケーションソフトウェアレベルでの電力最適化のガイドも必要である。

### *5-100GHz へ適用する高周波回路の素子と回路のモデリング [MODELING AND SIMULATION]*

インターコネクトの寄生効果に関する正確で計算効率に優れたモデルの開発が最重要課題である。インターコネクトの 2 次元的、3 次元的な効果は統計的なバラツキを含めて考慮されねばならない。分布定数型 R-L-C として扱う要素を抽出するための分離方法が必要とされている。能動素子、たとえばヘテロ接合バイポーラトランジスタ(HBTs)、CMOS、横方向拡散 MOS(LDMOSFETs)、Ⅲ/Ⅴ族材料の素子に関するコンパクトモデルが必要とされている。これらのモデルには準定常状態下の動作である効果や、1/f ノイズ、周辺の寄生効果が含まれる必要がある。受動素子（たとえばバラクタ、インダクター、高密度インターコネクトの容量、電送線）のコンパクトモデルが必要とされている。こうした RF 回路用コンパクトモデルのパラメータ抽出は、出来れば測定の手間を最小限にするものである事が望ましい。モデルのパラメータは標準的なI-V 測定、C-V 測定とシミュレーションを援用して抽出されねばならない。より広範囲に影響を与える様々な考課に関するモデリングが重

要性を増してきている。例えば、クロストーク、基板帰還パス、基板カップリング、エレクトロマイグレーション(EM)、電磁放射、熱的効果などがそうした例である。こうした空間的に広い範囲から受ける効果の分析のために、レイアウトから正確かつ効率的に効果を抽出できる技術が必要とされている。統計的なバラツキを計算効率よく扱えるために、出来ればモデルとしては物理に立脚しているべきである。

### *ナノ構造のためのフロントエンドプロセスのモデリング [MODELING AND SIMULATION]*

ナノメータ素子構造用のフロントエンドプロセスモデリングはデバイス性能予測する際の鍵である。その課題は、材料やデバイスのシミュレーションを含んだ「究極のナノスケール CMOS シミュレーション能力」という大きな課題と、ある程度オーバーラップする。フロントエンド・プロセス分野の最も重要で挑戦的な技術課題は極浅い接合形成のモデリングで、これは非常に低エネルギーのイオン注入に始まり、ドーパントのアニールや熱拡散へと収斂する。浅い接合を形成をするめにサーマルバジェットは大きく減少するため、その工程は過渡的な様相が強まり、ドーパント原子と点欠陥との反応や拡散、特にこれらがクラスタを形成するダイナミックな過程に強く支配される。イオン注入誘起の点欠陥、アモルファス化、再結晶化、シリサイド化現象は精密なシミュレーションを必要としている。こうした要求に応えるために、原子レベルでのモデルと連続体的なモデルを階層的に扱う必要が出てくる。モデル開発や、キャリブレーション、モデルの評価は、製造工程自体の評価と同様に、膨大な実験の実施に加え、特にドーパントや点欠陥の 2、3 次元的な測定技術の大きな進展を必要としている。

## 低コスト生産

### *高品質設計における設計生産性の最大化のスケーリング [DESIGN]*

技術サイクルが進む毎に使えるトランジスタの数は倍になり、設計複雑度も同様に倍増する。プロセスの技術進化を追いかけつつ設計品質を保持するためには、設計インプリメンテーションの生産性を設計複雑度と同等のレベルまで改善しなければならない。設計生産性を向上し、設計の再利用を行うことはこれらの問題に対してキーとして考慮すべきことである。つまり、品質的に複雑度的に正規化された機能に対する、全体としての設計生産性は技術サイクルごとに2倍になっていなければならない。しかし、アナログ設計やミックスドシグナル設計は伝統的に設計生産性の向上とプロセス移行時の再利用が困難であることを経験している。アナログやミックスドシグナルの合成、検証、テストを行う手段を提供することでこれらの課題を改善する、新たな設計メソドロジが緊急に必要とされている。組込みソフトウェアの生産性も、同様な割合で改善される必要がある。それは、オンチップのメモリ量もまだ増大し、いくつかの機能はハードウェアではなく、これら組込みソフトウェアに組み込まれるからである。

### *複雑さが増大するデバイスのテスト可能性 [TEST AND TEST EQUIPMENT]*

いくつかのデバイストレンドは、テストに対して相当な困難さを提示してきている。デバイス I/O バンド幅増大の要求は、急速により速くて広い高速インターフェースの増殖を駆り立てている。System-On-Chip (SoC) あるいは System-In-Package (SiP) 設計において既存の共通点のない半導体技術統合が増加することは、テスト戦略についての十分な意識改革を駆り立てている。RF、アナログ、光学、そして、MEMs のような新探求技術は、いくつかのユニークなテスト課題を提示しているが、それらはデジタル CMOS 技術において普及あるいは統合した時のように、そのテスト方法に対しかなりの改善を必要とするだろう。最終用途とテスト環境の間の電気的/熱的/機械的な相違の拡大に合せたデバイスパッケージ設計の変化と複雑さの増大は、以前よりも更に複雑で適合するテスト能力を駆り立てる。最終的には、より巧妙なパワーマネージメントや自己修理メカニズムなどのいくつかのデバイス方式のトレンドが、長年続いている確定的に格納された刺激と応答のテストモデルから出発しながらも新しいテスト要求につながっていく可能性があるだろう。

### *持続するテストの経済的スケーリング [TEST AND TEST EQUIPMENT]*

ムーアの法則によって予測された例の改良スケール経済はテストに翻訳しない。テスト容易化設計（DFT）の革新と、スキャンテスティングのような構造化テスト技術の普及と、そして、テスト並列性をより高次なレベルで可能にすることは、今日までテストコストを維持するのに多いに成功してきた。しかしながら、複雑なデバイスが増加することによる新しいテスト要求、及び、信頼性要求と並列テストの現実的な制限の増大は、将来、大きな課題となるだろう。特に、テストツール（一例、プローブカード）のようなテストの総コストに関するものが、それはスケーリングしないのでそのトレンドが現在のまま続くなら、それがやがて総テストコストの主要なものになり、コストを脅かすものになる。

### *増加するテストプロセスの複雑さ [TEST AND TEST EQUIPMENT]*

プロセスの複雑さはテストにとっては重大な課題と可能性の両者である。テストというその価値命題は、半導体製造メーカにおいてテスト以外でその価値がますます着実に重くなりつつある。ますます、テストは、修正して、改変を加えて、あるいは、特定ダイに特化するようにして使われる。ますます、製造を調整するのに巧妙なデータフィードバックが使われる。歩留習熟のためのそのテストは、既に決定的であり、そして、そのテストは、本来備わっている価値のある新しい半導体プロセスの導入において、より一層決定的になると期待されている。デバイスの複雑さの増大は、また、テスト条件（例えば、多重電源、多重電位、単一の決まった温度に対する多重周波数、電源と周波数）のより高いオーダ次元を先導しつつもある。

### *急激に変化する複雑な顧客のビジネス要求への対応 [Factory Integration]*

急激に変化する複雑な顧客のビジネスニーズや、いろいろなタイプのビジネスモデル（例えば IDM：一貫デバイス生産会社、ファブレス、ファンダリ、ジョイントベンチャ、アウトソーシング）への対応が、広範囲に必要になっている。また、カスタムの要求の多様化に対応し、少量多品種(HM/LV)の生産が増えてきている。現在多くの工場では、装置やソフトアプリケーションに対する膨大な数の新しく、複雑な課題を統合しなければならなくなっている。このような状況にため、ファクトリ・インテグレーション課題が増加している。その一つとしては、信頼性や生産性を高く保って、工期を短縮する課題がある。さらに、設計、マスク、FEOL/BEOL、テスト、組み立てなどのすべての領域を跨いだ情報の交換や制御のシステムを構築することも、非常に重要な課題になっている。生産計画を最適化するために、いろいろなパラメータを使って工場の能力をモデル化して、生産性や工期と信頼性のバランスを求めることも、基本的要求になっている。このようないろいろな要求に対応するためには、情報のプラットフォームを構築し、その上で上記いろいろな要求の分析ができるようにする必要がでてきている。ファクトリ・インテグレーション章は能動的工場の可視化や戦略的階層的品質管理を参照されたし。

### *コストとサイクルタイムのトレードオフ問題の解決 [Factory Integration]*

幾つかのファクトリー・インテグレーションの課題の中で、コスト効率の追求とサイクルタイムの低減は、トレードオフ関係にあることは良く知られている。この問題を解決するために、ジョブフロー化や枚葉生産などが過去に試みられてきている。しかし、装置の安定性と信頼性の飛躍的向上や、段取り作業の排除、NPWを利用した確認作業低減などを実現しないと、上記方法も効果を出せない。そのためには、装置プラットフォームとしての EES を利用した業界を上げた業務分担の見直しを含む体制改革が重要になっている。その第一歩としての装置メーカ自身が EES を使って装置品質レベルを向上させる EEQA の早期の実現が大きな課題になっている。

### *コストと性能に対する市場要求の変化への対応 [ASSEMBLY AND PACKAGING]*

環境規制の要求への対応、パッケージ特性の向上、65nm プロセス以降の Cu 配線プロセスで使用される Low-k 誘電体との整合性等の要求を満たすために、今後の数年以内に、多くの新材料が IC パッケージに導入されるだろう。ナノ材料は、後工程産業が利用したいと思う重大な好機を与える。 IC 前工程の進歩は、材料やプロセス技術や装置への高額な投資に基づいている。後工程においては、材料、プロセス、装置に対して、前工程のような高額な投資は無い。ウェーハレベルパッケージや SiP (System-in-a-Package)には劇的なコスト低減と小型化への期待がある。産業界は、量産技術を改善するために、インフラ技術への投資と情報を要求するだろう。電子機器の一般消費化による市場の変化は、後工程産業のための非常に大きな好機を与え、ムーアの法則の物理的な限界によって作られたギャップを埋めるための技術を進展させる。

- ### *化学薬品と材料に関するアセスメント（評価） [ESH]*

新規の化学薬品、材料、工程の製造へ急いで導入する際、新規の化学薬品、材料が人間の健康に新たな有害な影響をもたらすことなく、製造において利用できるようにするため、簡単に使用できる新しい評価方法が必要となる。ESHの面における影響を評価し、定量化するための手法が要求されているにもかかわらず、現在は工程での実施をすみやかに行うことの方に焦点が合わされている。

- ### *資源の節約 [ESH]*

半導体産業が成長し、その技術が微細化や大口径化に向かって前進して行くにつれて、自然の成り行きとして水、エネルギー、化学薬品、そして材料の使用量が増加していくことになる。 資源の節約は、主に使用効率、コスト削減、製造場所、維持可能性、そして廃棄物処理に関わってくる。 したがって資源効率の良い多種多様な製造装置を開発していく必要がある。

### *プロセス安定性に関する歩留との相関のとれた絶対的なコンタミネーションレベル [YIELD ENHANCEMENT]*

プロセスで使用する液体中のコンタミネーションの種類、レベルと歩留まりとの相関を取り、管理限界を定める為のデータ、TEG、手法が求められている。SEM に搭載されたエネルギ分散型 X 線分析（EDX）装置については、インラインでの元素分析の手段に限定されている。歩留まりや特性の標準的なテスト方法と最大プロセス変動（管理限界）を決めるため、標準的なテストパターン（TEG）や製品ウェーハに液体・ガスを作用させ相関を評価し、ウェーハ歩留まりに対する各汚染物質の影響度を評価する手法を確立することが重要である。

### *インラインでの欠陥特徴付けと解析 [YIELD ENHANCEMENT]*

エネルギ分散型X線分析（EDX）に替わるインラインの元素分析技術が求められている。開発上のポイントは、軽元素の分析能力、パーティクルサイズの縮小による分析サンプル量減少への対応技術、及び、重要性が高まっているマイクロアナリシス技術である。SEM/EDX は、インラインの元素分析の技術としては制約がある。それは次のような理由による。1）EDX では我々が望むような小さいスケールのサンプルの分析には適さないこと、2）EDX は化学的性質に関する情報が不十分（例えば、化学結合状態に関する情報がない）、3）電子ビームにより絶縁基板が大きく帯電するように、EDX でも電子ビームダメージが起きる。これにより、SEM 像の分解能が低下し、本当にパーティクルにビームが当たっているかどうか判断するのが困難となる。この課題は、「歩留まり改善」と「計測」に共通する挑戦課題である。

### *非破壊製造検査 [YIELD ENHANCEMENT]*

3 次元構造の寸法計測や欠陥検査をするために、非破壊（界面の帯電や汚染が無い）で高分解能のウェーハ/マスク工程の顕微鏡検査が必要である。CD 計測精度を向上させるためには、物理形状と計測装置内で分析された検出波形の関係を理解する必要がある。界面の帯電や汚染は、センサーや検出方法も同様に改善が必要である。新た

な収差補正機能を有した光学設計が高分解能やスループットにとって必要である。高分解能光学系と検出波形の分析、非帯電技術は 3 次元構造の CD 計測や欠陥検査を可能にする。同時に、CD-SEM は、信頼性と安定した計測のために、走査型プローブ顕微鏡検査で校正されなければならない。

### *工場および会社規模での計測統合 [METROLOGY]*

CoO を基本においたプロセス制御を行うためには、計測方法あるいは、相補的な計測方法の組み合わせを注意深く選択する必要があると同時に、計測のサンプリングに関しても統計的に最適化をしなければならない。一方、その場のインライン計測は、プロセス制御を厳密に行うことやスループット面でも必須になりつつある。

APC や FDC、あるいは、他のシステムと連携して、全ての計測（すなわち、オンライン計測やオフライン計測）からの情報は、データベースに統合され、プロセス制御パラメータを決定したり、計測情報と歩留まりの相関取りを行い、歩留まりを改善するために活用される。したがって、プロセスコントローラーやデータ管理に関する標準規格が必要がある。同時に、このようなデータベースの構造についても最適化が必要である。センサーと校正、検出方法、あるいはデータ処理は進歩しつつあるが、精密な計測の方法論のためには、さらなる改善が必要である。

### *複雑な積層材料の計測 [METROLOGY]*

ウェーハプロセスの複雑な積層材料は、膜厚計測をとってみても困難である。物理的あるいは電気的な特性を含む複雑な積層材料や界面の特性を評価することは、非常に挑戦的である。ナノサイズの埋め込まれた領域のストレスの直接計測が要求されている。同時に標準試料、標準計測方法は、新たな、high-k ゲート、薄く設計された膜で界面層をもつ容量誘電膜の計測には必須である。配線バリア、low-k 誘電膜も同様である。歪シリコンや SOI 基板でのゲートスタックに対するキャリアの移動度評価が必要になるだろう。バリア層についても同様である。メタルゲートの仕事関数の評価も切迫した要求である。

## 長期予測 (2014 年から 2020 年)

### 性能向上

### *電流駆動能力を増大した最先端ノンクラシカル CMOS デバイスの実用化 [PROCESS INTEGRATION, DEVICES, AND STRUCTURES]*

MOSFET のスケーリングをゲート長 15nm よりさらに進めるためには、デバイス構造はマルチゲート構造や極薄の完全空乏化型 SOI-MOSFET のようなノンクラシカル CMOS に移行する可能性が高い。これらのデバイスにおいては、歪シリコンによるキャリア移動度増大、エレベーテッドソース/ドレイン構造、High-k ゲート絶縁膜、メタルゲートなどの“テクノロジブースター”が同時に導入される可能性が高い。10nm 以下のシリコン厚の極薄の完全空乏化型 SOI-MOSFET では、種々な量子効果が電気特性に影響を与える。ITRS のロードマップで扱う期間の終わりに向けて、デバイスは準バリスティック的動作を示し、電流利得は現在知られているパラメータと異なるもので増加するであろう。結果的に、カーボンナノチューブ、ナノワイヤや、その他の高移動度チャネル（例えばゲルマニウムやシリコン上形成された□-□族のチャネルなど）が必要となるかもしれない。最適なデバイス構造の選択、物理的な評価、コスト競争力のあるプロセスフローの構築などが、回路アーキテクチャの構築に加えて、非常に重要になる。

### *サブ15NM ゲート長のMOSFET における ゆらぎと統計的プロセスばらつきの取り扱い [PROCESS INTEGRATION, DEVICES, AND STRUCTURES]*

ゲート長 15nm 以下の MOSFET における統計的なゆらぎの根本的な課題は、量子効果やライン端の粗さ(Line Edge Roughness)、ライン幅の粗さ(Line Width Roughness)などの影響が完全には理解されていないことである。

### *ゲート線幅制御性の向上とプロセス制御 [LITHOGRAPHY]*

デバイスの急激な微細化に伴い2013年に要求されるゲート線幅制御は提案されているどのリソグラフィ解決策に対しても 1.3nm (3σ)以下に、LWR 込みでは 1.5nm (3σ)以下になる。(Si-Si の格子定数は 2.35Å である。) 更に2019年には、7nm の解像力とその線幅を 0.8nm 3σ の LWR 込みで測定しなければならないと言う大変に困難な課題を 2.8nm (3σ) 以下で要求される重ね合わせ精度と伴に達成する必要が有る。このときに許される最大の欠陥サイズはパターン付きウェハ上で 30nm 以下にまで小さくなる。十分な精度と解像力を持つ計測・検査装置無しに線幅制御性の向上とプロセス制御を達成するのは難しい。

### *グローバル配線のスケーリングに対応した解の提案 [INTERCONNECT]*

従来の配線スケーリング手法では、非常に大きな RC 遅延を伴うチップサイズの長配線に対する、今後の配線性能要求をもはや満足することはできない。低誘電率材料と銅配線の組み合わせを越える解を明確化し、見つけ出すためには、性能が加速するシステムアーキテクチャー/設計、パッケージおよび、従来とは異なる配線技術と共に、新材料の開拓が必要である。新規な配線技術とは例えば三次元配線、RF/マイクロ波、光配線などである。

### *リーク電力の管理 [DESIGN]*

消費電力は緊急の課題である一方、長期的にはリーク電流や待機時電流の要素が業界の主要な難題となっている。かつてバイポーラ技術がこのリーク電流ゆえに数十年前に整理されたように、CMOS 技術の生き残りが脅かされている。リーク電力は、ゲート長、酸化膜厚、しきい値電圧など、キーとなるプロセスパラメータにより指数関数的に変化し、スケーリングとばらつきの両方の観点から厳しい課題を提示している。低電力デバイスでのオフ電流はテクノロジーサイクル毎に 10%の割合で増加している。それゆえ、設計技術は待機時電流を一定に保つような貢献をしなくてはならない。

## 低コスト生産

### *製造容易化設計(リソグラフィ、ばらつき) [DESIGN]*

製造容易性の課題によって、知られた解決策が存在しない“技術の壁”が、ITRS 全体を通して増加している。一方で、1 つの技術範囲では解決できない課題が設計技術と相応しい提携をおこなうことで(より効率的なコストで)解決できる可能性がある。いくつかの例は、DFT (design for test (fault models, ATPG, built in self test (BIST))、ダイ・パッケージ・ボード、SiP(system-in-package)協調設計、ばらつきを管理する設計技術、マスク製品や検査のフローの高度な接続を行うインタフェースなどを含んでいる。製造容易性、すなわち大量のチップを許容し得るコストと経済的に見て実現可能なスケジュールで提供する能力は、製造容易化技術(design-for-manufacturing (DFM))を必要とする課題である。製造容易性は主として、リソグラフィにおけるハードウェアの制約によって設計に影響を及ぼしている。長期的には、複数の形におけるこれらの制限に基づいて、設計の全ての局面に劇的に侵入してくるばらつきとして、主要な危機となるだろう。

### *300MM 以降の次世代基板材料 [FRONT END PROCESS]*

将来の生産性向上のためには、次世代の広い面積を持つシリコン基板材料を必要とする。今までの傾向か

ら、次世代基板材料は直径 450 mm で 2012 年に量産されることが示唆される。既に世界中での技術的議論は始まっているとはいえ、2012 年量産を達成するには 450mm ウェーハ開発を今以上に加速する必要があることは強調されるべきである。予測通りに 450mm ウェーハを使い始めることの価値を明確にするためには、関連する 3 つの技術ワーキンググループである Starting Materials／Factory Integration／Yield Enhancement と国際ロードマップ委員会の協働を活発化してゆく必要がある。

### *化学薬品と材料のESH デザインと測定方法による管理 [ESH]*

装置設計技術者と装置の使用者は、将来導入される可能性のある新規の化学薬品や材料のESH指標に関するタイムリーな情報を必要としている。 この情報は、（半導体製品の）機能とESHの面における影響-反応物の排出、健康、安全面での性質、装置及び他の化学成分双方との発火性や反応性のような適合性に関する-にとって最適な化学薬品や材料を適切に選択する上で欠かせないものである。 製造工程が開発され、製造に導入された後で、ビジネスに与える不必要な影響を最小限にしながら、上記のことを実施することが可能なはずである。 ESHデザインと測定方法が一体化して機能するために、材料や工程がESHに与える影響度が最も低いことを決定する方法が開発される必要がある。

### *プロセス安定性に関する歩留との相関のとれた絶対的なコンタミネーションレベル [YIELD ENHANCEMENT]*

プロセスで使用する液体中のコンタミネーションの種類、レベルと歩留まりとの相関を取り、管理限界を定める為のデータ、TEG、手法が求められている。SEM に搭載されたエネルギ分散型 X 線分析（EDX）装置については、インラインでの元素分析の手段に限定されている。歩留まりや特性の標準的なテスト方法と最大プロセス変動（管理限界）を決めるため、標準的なテストパターン（TEG）や製品ウェーハに液体・ガスを作用させ相関を評価し、ウェーハ歩留まりに対する各汚染物質の影響度を評価する手法を確立することが重要である。

### *インラインでの欠陥特徴付けと解析 [YIELD ENHANCEMENT]*

エネルギ分散型X線分析（EDX）に替わるインラインの元素分析技術が求められている。開発上のポイントは、軽元素の分析能力、パーティクルサイズの縮小による分析サンプル量減少への対応技術、及び、重要性が高まっているマイクロアナリシス技術である。SEM/EDX は、インラインの元素分析の技術としては制約がある。それは次のような理由による。1）EDX では我々が望むような小さいスケールのサンプルの分析には適さないこと、2）EDX は化学的性質に関する情報が不十分（例えば、化学結合状態に関する情報がない）、3）電子ビームにより絶縁基板が大きく帯電するように、EDX でも電子ビームダメージが起きる。これにより、SEM 像の分解能が低下し、本当にパーティクルにビームが当たっているかどうか判断するのが困難となる。この課題は、「歩留まり改善」と「計測」に共通する挑戦課題である。

### *非破壊製造検査 [YIELD ENHANCEMENT]*

3 次元構造の寸法計測や欠陥検査をするために、非破壊（界面の帯電や汚染が無い）で高分解能のウェーハ/マスク工程の顕微鏡検査が必要である。CD 計測精度を向上させるためには、物理形状と計測装置内で分析された検出波形の関係を理解する必要がある。界面の帯電や汚染は、センサーや検出方法も同様に改善が必要である。新たな収差補正機能を有した光学設計が高分解能やスループットにとって必要である。高分解能光学系と検出波形の分析、非帯電技術は 3 次元構造の CD 計測や欠陥検査を可能にする。同時に、CD-SEM は、信頼性と安定した計測のために、走査型プローブ顕微鏡検査で校正されなければならない。

### *非破壊製造検査[計測] [METROLOGY]*

3 次元構造の寸法計測や欠陥検査をするために、非破壊（界面の帯電や汚染が無い）で高分解能のウェーハ/マスク工程の顕微鏡検査が必要である。CD 計測精度を向上させるためには、物理形状と計測装置内で分析された検出波形の関係を理解する必要がある。界面の帯電や汚染は、センサーや検出方法も同様に改善が必要である。新たな収差補正機能を有した光学設計が高分解能やスループットにとって必要である。高分解能光学系と検出波形の分析、非帯電技術は 3 次元構造の CD 計測や欠陥検査を可能にする。同時に、CD-SEM は、信頼性と安定した計測のために、走査型プローブ顕微鏡検査で校正されなければならない。

### *新材料に関する化学的、熱機械的、電気的な特性のモデリング [MODELING AND SIMULATION]*

技術開発の時に導入される新しい材料が増加し，そうしなければスケーリング則を維持することが出来なくなっている。その傾向は積層構造のゲート材料、インターコネクトの材料、そしてフォトレジスト材料について特に著しい。信頼性、プロセスバラツキに関連したモデリングも必要とされている。その結果、製造装置、プロセス、デバイス、回路用のモデリングはこれら新材料が扱えるように拡張されねばならない。さらに、実験作業を減らすために計算機による材料科学が開発され、新材料を選択する時の評価に適用して貢献できる様にする必要がある。この主要な技術課題はモデリング・シミュレーションの章で述べる技術課題に関係してくる。